

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-191047
(43)Date of publication of application : 22.07.1997

(51)Int.Cl. H01L 21/76

(21)Application number : 08-185946 (71)Applicant : SAMSUNG ELECTRON CO LTD
(22)Date of filing : 16.07.1996 (72)Inventor : KIN CHOKEI
KIN SEITOKU

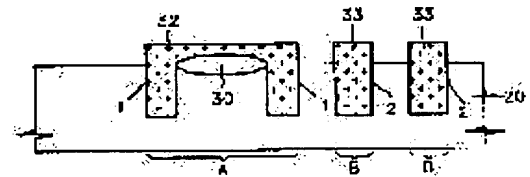
(30)Priority
Priority number : 95 9569742 Priority date : 30.12.1995 Priority country : KR

(54) ELEMENT ISOLATION FILM OF SEMICONDUCTOR DEVICE AND FORMATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an element isolation film having a flat surface for a semiconductor device.

SOLUTION: The element isolation film comprises a first element isolation film formed in a first element isolation region and a second element isolation film formed in a second element isolation region broader than the first element isolation region. The second element isolation film is formed so that the second film is embedded into trenches 1 and 2 made in the second element isolation region to surround a center part of the second region and to cover an oxidization laser 30 formed in the central part of the second region. Thereby there can be obtained element isolation films 32 and 33 having flat surfaces.



LEGAL STATUS

[Date of request for examination] 09.07.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-191047

(43) 公開日 平成 9 年 (1997) 7 月 22 日

(51) Int.Cl.⁶

H 0 1 L 21/76

識別記号

庁内整理番号

F I

H 0 1 L 21/76

技術表示箇所

L

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平8-185946

(22) 出願日 平成 8 年 (1996) 7 月 16 日

(31) 優先権主張番号 1 9 9 5 P 6 9 7 4 2

(32) 優先日 1995年12月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 昶圭

大韓民国京畿道水原市長安区練武洞215-

38番地

(72) 発明者 金 済徳

大韓民国京畿道龍仁市器興邑旧葛里385-

1 番地漢城 2 次アパート201棟402号

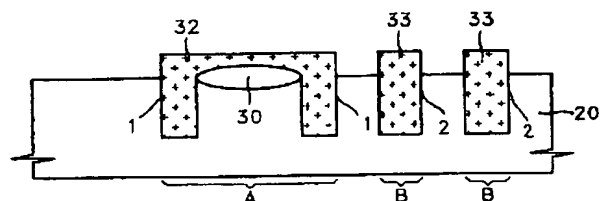
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 半導体素子の素子分離膜及びその形成方法

(57) 【要約】

【課題】 半導体素子の素子分離膜及びその形成方法を提供する。

【解決手段】 第1素子分離領域に形成された第1素子分離膜と該第1素子分離領域より広い第2素子分離領域に形成された第2素子分離膜とを備える半導体素子の素子分離膜において、第2素子分離膜は該第2素子分離領域の中央部を取り囲むように形成されたトレンチ1および2を埋め込み、第2素子分離領域の中央部に形成された酸化レーザー30を覆う形態で形成されることにより、平坦な表面を有する素子分離膜32および33が得られる。



【特許請求の範囲】

【請求項1】 第1素子分離領域に形成された第1素子分離膜と前記第1素子分離領域より広い第2素子分離領域に形成された第2素子分離膜とを備える半導体素子の素子分離膜において、

前記第2素子分離膜は、

前記第2素子分離領域の中央部を取り囲むように形成されたトレンチを埋め込み、前記第2素子分離領域の中央部に形成された酸化レーザーを覆う形態で形成されることを特徴とする半導体素子の素子分離膜。

【請求項2】 前記第2素子分離膜の表面は平坦であることを特徴とする請求項1に記載の半導体素子の素子分離膜。

【請求項3】 前記第2素子分離膜は前記トレンチの側壁に形成されたスペーサ柱をさらに含むことを特徴とする請求項1に記載の半導体素子の素子分離膜。

【請求項4】 (a) 半導体基板上にパッド酸化膜及び第1物質層を積層する段階と、

(b) 前記第1物質層上に第2物質層を形成する段階と、

(c) 第1素子分離領域及び前記第1素子分離領域より広い第2素子分離領域のパッド酸化膜上の物質層をパタニングすることにより活性領域保護パターンを形成する段階と、

(d) 前記活性領域保護パターンが形成されている半導体基板の全面にスペーサ層を形成する段階と、

(e) 前記スペーサ層を異方性食刻することにより前記第1素子分離領域のパッド酸化膜を完全に覆う埋め込み層と、前記第2素子分離領域と隣接する前記活性領域保護パターンの側壁を覆うスペーサを形成する段階と、

(f) 前記第2素子分離領域の半導体基板を酸化させることにより前記第2素子分離領域の中央部に酸化レーザーを形成する段階と、

(g) 前記埋め込み層、スペーサ及び第2物質層を取り除く段階と、

(h) 前記第1物質層及び酸化レーザーを食刻マスクとして半導体基板を食刻することによりトレンチを形成する段階と、

(i) 前記トレンチが形成されている半導体基板の全面に絶縁物質層を形成する段階と、

(j) 前記絶縁物質層をポリシングすることにより前記第1素子分離領域には第1素子分離膜を形成し、前記第2素子分離領域には第2素子分離膜を形成する段階とを含むことを特徴とする半導体素子の素子分離膜の形成方法。

【請求項5】 前記第2物質層及びスペーサ層は酸化防止用物質で形成されることを特徴とする請求項4に記載の半導体素子の素子分離膜の形成方法。

【請求項6】 前記第2物質層とスペーサ層はシリコンナイトライドで形成され、前記第1物質層はオキシシリ

コンナイトライド、ボロンナイトライド、アルミニウム及びタングステンよりなる一群から選ばれたいずれか一つで形成されることを特徴とする請求項5に記載の半導体素子の素子分離膜の形成方法。

【請求項7】 前記段階(a)の後、前記第1物質層上に第3物質層を形成する段階をさらに含め、前記段階(c)の後、前記活性領域保護パターンが形成されている半導体基板の全面に第4物質層を形成する段階をさらに含め、前記段階(g)の後、第4物質層を取り除く段階をさらに含むことを特徴とする請求項4に記載の半導体素子の素子分離膜の形成方法。

【請求項8】 前記段階(j)の前記ポリシングは前記第1物質層の表面が露出されるまで行われることを特徴とする請求項7に記載の半導体素子の素子分離膜の形成方法。

【請求項9】 前記段階(j)の前記ポリシングは前記第1物質層の表面が露出されるまで行われることを特徴とする請求項4に記載の半導体素子の素子分離膜の形成方法。

【請求項10】 前記第1物質層、第2物質層及びスペーサ層はシリコンナイトライドで形成され、前記第3及び第4物質層は酸化物で形成されることを特徴とする請求項7に記載の半導体素子の素子分離膜の形成方法。

【請求項11】 (a) 半導体基板上にパッド酸化膜、第1～第5物質層を順次に積層する段階と、

(b) 第1素子分離領域及び前記第1素子分離領域より広い第2素子分離領域のパッド酸化膜が露出されるように前記第1～第5物質層をパタニングすることにより前記第1乃至第5物質層よりなるパターンを形成する段階と、

(c) 前記パターンが形成されている半導体基板の全面に第6物質層及びスペーサ層を積層する段階と、

(d) 前記スペーサ層を異方性食刻することにより前記第1素子分離領域のパッド酸化膜を完全に覆う埋め込み層と、前記第2素子分離領域と隣接する前記パターンの側壁を覆うスペーサを形成する段階と、

(e) 前記第2素子分離領域の半導体基板を酸化させることにより前記第2素子分離領域の中央部に酸化レーザーを形成する段階と、

(f) 前記埋め込み層、スペーサ、第5物質層及び第6物質層を取り除く段階と、

(g) 前記第1乃至第4物質層及び酸化レーザーを食刻マスクとして前記半導体基板を食刻することによりトレンチを形成する段階と、

(h) 前記トレンチが形成されている半導体基板の全面に第1絶縁物質層を形成する段階と、

(i) 前記第1絶縁物質層を異方性食刻することにより前記トレンチの側壁にスペーサ柱を形成する段階と、

(j) 前記第3物質層を取り除く段階と、

(k) 前記半導体基板の全面に第2物質層を形成する段

階と、

(1) 前記第1物質層の表面が露出されるまで前記第2絶縁物質層をポリシングすることにより前記第1素子分離領域には第1素子分離膜を形成し、前記第2素子分離領域には第2素子分離膜を形成する段階とを含むことを特徴とする半導体素子の素子分離膜の形成方法。

【請求項12】 前記第1、第3及び第5物質層とスペーサ層は前記第2、第4及び第6物質層に対する食刻選択性の良い物質で形成されることを特徴とする請求項11に記載の半導体素子の素子分離膜の形成方法。

【請求項13】 前記第1、第3及び第5物質層とスペーサ層はシリコンナイトライドで形成され、前記第2、第4及び第6物質層は酸化物で形成されることを特徴とする請求項12に記載の半導体素子の素子分離膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子及びその製造方法に係り、特に広い素子分離領域における素子分離膜及びその形成方法に関する。

【0002】

【従来の技術】半導体素子の高集積化により写真食刻工程のマージンを確保するため、下部膜の平坦化技術が求められる。下部膜を平坦化する方法には、ボロン-燐のドーパされたシリコンガラスをリフローする方法、アルミニウムをフローする方法、スピノングラスをエッチバックする方法及び化学-物理的ポリシング（Chemical Mechanical Polishing；以下、CMPと称する）を行う方法などがある。

【0003】このうち、CMP工程はリフロー工程やエッチバック工程では達成できないグローバル平坦化及び低温平坦化工程を提供することができ、次世代素子の有力な平坦化技術として見なされている。CMP工程において平坦化精度を向上させるためには初期のグローバル段差を最少化してCMP工程のマージンを確保することが大事である。

【0004】図1乃至図3は従来の素子分離膜の形成方法を説明するための断面図であり、CMPを用いる素子分離膜の形成方法を説明するために示された。半導体基板10の上にパッド酸化膜12と食刻防止膜14を順次に積層した後、半導体基板10の広い素子分離領域Cと狭い素子分離領域Dの上に積層されたパッド酸化膜と食刻防止膜を取り除くことによりパターン15を形成する。次に、前記パターン15を食刻マスクとする異方性食刻工程を行い、広い素子分離領域Cには広いトレンチ3を、狭い素子分離領域Dには狭いトレンチ4を形成し、前記トレンチ3、4が形成された半導体基板の全面に絶縁物質層16を塗布する（図1）。

【0005】引き続き、前記絶縁物質層をCMPすることにより前記広いトレンチ3及び狭いトレンチ4にそれ

ぞれ広い素子分離膜17及び狭い素子分離膜18を形成する（図2）。その後、前記パターン15（図2）を取り除く（図3）。前述した従来の素子分離膜の形成方法によると、第一、CMP工程の際、ディッシング（dishin g）現象が発生して広い素子分離膜17の表面が平坦にならない。第二、ウェーハの全体にかけてパターン15の分布密度が不均一であって絶縁物質層が均一な厚さで形成されない。即ち、初期のグローバル段差を最少化できずCMP工程のマージンが小さくなる。

【0006】

【発明が解決しようとする課題】本発明の目的は、表面が平坦な半導体素子の素子分離膜を提供することにある。本発明の他の目的は、前記素子分離膜の製造に最適の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の前記目的は、第1素子分離領域に形成された第1素子分離膜と前記第1素子分離領域より広い第2素子分離領域に形成された第2素子分離膜とを備える半導体素子の素子分離膜において、前記第2素子分離膜は、前記第2素子分離領域の中央部を取り囲むように形成されたトレンチを埋め込み、前記第2素子分離領域の中央部に形成された酸化レーザーを覆う形態で形成されることを特徴とする半導体素子の素子分離膜により達成される。

【0008】この際、前記第2素子分離膜の表面は平坦であることが望ましく、前記トレンチの側壁に形成されたスペーサ柱をさらに含むことが望ましい。本発明の前記他の目的は、（a）半導体基板上にパッド酸化膜及び第1物質層を積層する段階と、（b）前記第1物質層上に第2物質層を形成する段階と、（c）第1素子分離領域及び前記第1素子分離領域より広い第2素子分離領域のパッド酸化膜上の物質層をパタニングすることにより活性領域保護パターンを形成する段階と、（d）前記活性領域保護パターンが形成されている半導体基板の全面にスペーサ層を形成する段階と、（e）前記スペーサ層を異方性食刻することにより前記第1素子分離領域のパッド酸化膜を完全に覆う埋め込み層と、前記第2素子分離領域と隣接する前記活性領域保護パターンの側壁を覆うスペーサを形成する段階と、（f）前記第2素子分離領域の半導体基板を酸化させることにより前記第2素子分離領域の中央部に酸化レーザーを形成する段階と、（g）前記埋め込み層、スペーサ及び第2物質層を取り除く段階と、（h）前記第1物質層及び酸化レーザーを食刻マスクとして半導体基板を食刻することによりトレンチを形成する段階と、（i）前記トレンチが形成されている半導体基板の全面に絶縁物質層を形成する段階と、（j）前記絶縁物質層をポリシングすることにより前記第1素子分離領域には第1素子分離膜を形成し、前記第2素子分離領域には第2素子分離膜を形成する段階とを含むことを特徴とする半導体素子の素子分離膜の形

成方法により達成される。

【0009】この際、前記第2物質層及びスペーサ層は酸化防止用物質で形成されることが望ましく、前記第2物質層とスペーサ層はシリコンナイトライド (silicon nitride) で形成され、前記第1物質層はオキシシリコンナイトライド、ボロンナイトライド、アルミニウム及びタングステンよりなる一群から選ばれたいずれか一つで形成されることが望ましい。

【0010】かつ、前記段階 (a) の後、前記第1物質層上に第3物質層を形成する段階をさらに含め、前記段階 (c) の後、前記活性領域保護パターンが形成されている半導体基板の全面に第4物質層を形成する段階をさらに含め、前記段階 (g) の後、第4物質層を取り除く段階をさらに含むことが望ましい。この際、前記段階 (j) の前記ポリシングは前記第1物質層の表面が露出されるまで行われることが望ましい。

【0011】前記第1物質層、第2物質層及びスペーサ層はシリコンナイトライドで形成され、前記第3及び第4物質層は酸化物で形成されることが望ましい。本発明による前記他の目的は、かつ、(a) 半導体基板上にパッド酸化膜、第1～第5物質層を順次に積層する段階と、(b) 第1素子分離領域及び該第1素子分離領域より広い第2素子分離領域のパッド酸化膜が露出されるように前記第1～第5物質層をパタニングすることにより前記第1～第5物質層よりなるパターンを形成する段階と、(c) 前記パターンが形成されている半導体基板の全面に第6物質層及びスペーサ層を積層する段階と、

(d) 前記スペーサ層を異方性食刻することにより前記第1素子分離領域のパッド酸化膜を完全に覆う埋め込み層と、前記第2素子分離領域と隣接する前記パターンの側壁を覆うスペーサを形成する段階と、(e) 前記第2素子分離領域の半導体基板を酸化させることにより前記第2素子分離領域の中央部に酸化レーザーを形成する段階と、(f) 前記埋め込み層、スペーサ、第5物質層及び第6物質層を取り除く段階と、(g) 前記第1～第4物質層及び酸化レーザーを食刻マスクとして前記半導体基板を食刻することによりトレンチを形成する段階と、

(h) 前記トレンチが形成されている半導体基板の全面に第1絶縁物質層を形成する段階と、(i) 前記第1物質層を異方性食刻することにより前記トレンチの側壁にスペーサ柱を形成する段階と、(j) 前記第3物質層を取り除く段階と、(k) 前記半導体基板の全面に第2物質層を形成する段階と、(l) 前記第1物質層の表面が露出されるまで前記第2絶縁物質層をポリシングすることにより前記第1素子分離領域には第1素子分離膜を形成し、前記第2素子分離領域には第2素子分離膜を形成する段階とを含むことを特徴とする半導体素子の素子分離膜の形成方法により達成される。

【0012】この際、前記第1、第3及び第5物質層とスペーサ層は前記第2、第4及び第6物質層に対する食

刻選択性の良い物質で形成されることが望ましく、前記第1、第3及び第5物質層とスペーサ層はシリコンナイトライドで形成され、前記第2、第4及び第6物質層は酸化物で形成されることが望ましい。

【0013】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳細に説明する。図4は本発明による素子分離膜を示す断面図である。広い素子分離領域Aには広い素子分離膜32が形成されており、狭い素子分離領域Bには狭い素子分離膜33が形成されている。この際、広い素子分離膜32は前記広い素子分離領域Aの中央部を取り囲むように形成された広いトレンチ1を埋め込み、前記広い素子分離領域Aの中央部に形成された酸化レーザー30を覆うように形成されている。

【0014】前記酸化レーザー30は前記広い素子分離膜32の表面平坦度を改善させるために形成される。即ち、広い素子分離領域Aの中央部に形成された前記酸化レーザー30が初期のグローバル段差を低める役割を果たすので結果的にCMP工程のマージンを確保することができ、CMP工程の際、広い素子分離領域におけるデッシング現象を防止することにより平坦な表面を有する素子分離膜が得られる。

【0015】図5乃至図8は本発明の第1実施例による素子分離膜の形成方法を説明するための断面図である。図5はパターン25を形成する工程を示す。この工程は、半導体基板20の上にパッド酸化膜22を形成する段階と、前記パッド酸化膜22の上に第1物質層24を形成する段階と、前記第1物質層24の上に所定の食刻工程に対して前記第1物質層の食刻とは異なる食刻率を有する物質（即ち、前記第1物質層22に対する食刻選択性の良い物質）を蒸着して第2物質層26を形成する段階と、前記半導体基板30の広い素子分離領域A及び狭い素子分離領域Bの上に積層された第1物質層24及び第2物質層26を食刻することによりパターン25を形成する段階とよりなる。

【0016】この際、前記第1物質層24はオキシシリコンナイトライド、ボロンナイトライド、アルミニウムまたはタングステンなどで形成され、前記第2物質層26はシリコンナイトライドで形成される。図6は埋め込み層28、スペーサ29及び酸化レーザー30を形成する工程を示す。この工程は、前記パターン25が形成されている半導体基板20の全面にスペーサ層（以後の工程により埋め込み層28及びスペーサ29となる）を形成する段階と、前記スペーサ層を異方性食刻することにより半導体基板20の狭い素子分離領域Bを完全に覆う埋め込み層28と、広い素子分離領域Aと隣接する前記パターン25の側壁を覆うスペーサ29とを形成する段階と、前記埋め込み層28及びスペーサ29が形成されている半導体基板20を熱酸化させることにより広い素子分離領域Aの中央部に前記酸化レーザー30を形成す

る段階とよりなる。

【0017】この際、前記スペーサ層はシリコンナイトライドのような酸化防止用物質で形成する。図7は広いトレンチ1及び狭いトレンチ2を形成する工程を示す。この工程は前記埋め込み層28及びスペーサ29（図3参照）を取り除く段階と、前記酸化レーザー30及び第1物質層24を食刻マスクとして前記半導体基板20を異方性食刻することにより広い素子分離領域Aには広いトレンチ1を形成し、狭い素子分離領域Bには狭いトレンチ2を形成する段階とよりなる。

【0018】この際、前記広いトレンチ1は広い素子分離領域Aの中央部（即ち、酸化レーザー30が形成されている部分）を取り囲む形態（ドーナツ状の横断面を有する）で形成され、前記狭いトレンチ2は円筒状の縦断面を有する。図8は広い素子分離膜32及び狭い素子分離膜33を形成する工程を示す。この工程は、前記広いトレンチ1及び狭いトレンチ2が形成されている半導体基板20の全面に絶縁物質層（以後の工程により狭い素子分離膜32及び広い素子分離膜33となる）を形成する段階と、前記第1物質層24（図7参照）の表面が露出されるまで前記絶縁物質層をCMPすることにより前記広い素子分離領域Aには広い素子分離膜32を形成し、前記狭い素子分離領域Bには狭い素子分離膜33を形成する段階と、前記第1物質層24及びパッド酸化膜22（図7参照）を取り除く段階とよりなる。

【0019】この際、前記絶縁物質層は化学気相蒸着法（CVD）で蒸着された酸化物で形成する。かつ、前記広い素子分離膜32の表面は平坦に形成される。したがって、本発明による素子分離膜の形成方法によると、広い素子分離領域の中央に酸化レーザー30を形成して初期のグローバル段差を縮めることによりCMP工程のマージンを十分に確保でき、その上、広い素子分離領域で発生するディッシング現象を防止することができる。

【0020】図9乃至図15は本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。図9はパターン35を形成する工程を示す。この工程は、半導体基板30の上にパッド酸化膜32を形成する段階と、前記パッド酸化膜32の上に第1物質層34を形成する段階と、前記第1物質層34の上に所定の食刻工程の間、前記第1物質層の食刻率とは異なる食刻率を有する物質（即ち、第1物質層34に対する食刻選択率性の良い物質）を塗布して第2物質層36を形成する段階と、前記第2物質層36の上に所定の食刻工程に対して前記第2物質層36の食刻率とは異なる食刻率を有する物質（即ち、前記第2物質層36に対する食刻選択率性の良い物質）を塗布して第3物質層38を形成する段階と、半導体基板30の広い素子分離領域A及び狭い素子分離領域Bの上に積層された前記第1乃至第3物質層を食刻することによりパターン35を形成する段階とよりなる。

【0021】この際、前記第1物質層34はシリコンナイトライドで形成し、前記第2物質層36は酸化物を300Å程度の厚さで塗布して形成し、前記第3物質層38はシリコンナイトライドを4000Å程度の厚さで塗布して形成する。図10はスペーサ42及び埋め込み層43を形成する工程を示す。この工程は、前記パターン35が形成されている半導体基板30の全面に酸化物を塗布することにより第4物質層を形成する段階と、前記第4物質層40の上にシリコンナイトライドを塗布してスペーサ層（以後の工程によりスペーサ42及び埋め込み層43となる）を形成する段階と、前記スペーサ層を異方性食刻することにより広い素子分離領域Aに隣接する前記パターン35の側壁を覆うスペーサ42と、半導体基板30の狭い素子分離領域Bを完全に覆う埋め込み層43を形成する段階と、広い素子分離領域Aの半導体基板30を酸化させることにより広い素子分離領域Aの中央部に酸化レーザー44を形成する段階とよりなる。

【0022】図11は図6のスペーサ42、埋め込み層43、第4物質層40及び第3物質層38を取り除いた後の断面図である。図12は広いトレンチ1及び狭いトレンチ2を形成する工程を示す。ここで、酸化レーザー44及び第2物質層36を食刻マスクとして前記半導体基板30を異方性食刻することにより広い素子分離領域Aに広いトレンチ1を形成し、狭い素子分離領域Bには狭いトレンチ2を形成する。

【0023】この際、前記広いトレンチ1及びセマイトレンチ2は図7で示したような形態で形成される。図13はトレンチ1、2が形成されている半導体基板30の全面にCVD方式で酸化物を塗布して絶縁物質層46を形成した後の断面図である。図14は広い素子分離膜48及び狭い素子分離膜49を形成する工程を示すものであり、前記第1物質層34の表面が露出されるまで前記絶縁物質層46（図13参照）をCMPすることにより、広い素子分離領域Aには広い素子分離膜48を形成し、狭い素子分離領域Bには狭い素子分離膜49を形成する。

【0024】この際、第2物質層36（図13参照）も共に取り除かれる。図15は第1物質層34（図14参照）及びパッド酸化膜32（図14参照）を取り除いた後の断面図である。前記図15を参照すると、前記広い素子分離膜48の表面は平坦に形成されていることが判る。図16乃至図43は本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【0025】図16はパターン49を形成する工程を示す。この工程は、半導体基板40の上にパッド酸化膜42を形成する段階と、前記パッド酸化膜42の上に第1～第5物質層44、46、48、50及び52を順次に蒸着する段階と、半導体基板40の広い素子分離領域A及び狭い素子分離領域Bの上に積層された前記物質層を食刻することによりパターン49を形成する段階とよりなる。

なる。

【0026】この際、前記第1、第3及び第5物質層44、48、52はシリコンナイトライドで形成し、前記第2及び第4物質層46、50は酸化物で形成する。図17はスペーサ56、58及び酸化レーザー60を形成する工程を示す。この工程は、前記パターン49が形成されている半導体基板40の全面に酸化物を塗布して第6物質層54を形成する段階と、前記第6物質層54の上にシリコンナイトライドを塗布することによりスペーサ層（以後の工程により埋め込み層58及びスペーサ層56）を形成する段階と、前記スペーサ層を異方性食刻することにより広い素子分離領域Aにはスペーサ56を形成し、狭い素子分離領域Bには埋め込み層58を形成する段階と、広い素子分離領域Aの半導体基板を酸化させることによりその中央部に酸化レーザー60を形成する段階とよりなる。

【0027】図18は前記スペーサ56、埋め込み層58、第6物質層54及び第5物質層52を取り除いた後の断面図である。図19は広いトレンチ1、狭いトレンチ2及びスペーサ柱62を形成する工程を示す。この工程は、半導体基板40の上に残る物質層を食刻マスクとして前記半導体基板40を異方性食刻することにより広い素子分離領域Aには広いトレンチ1を形成し、狭い素子分離領域Bには狭いトレンチ2を形成する段階と、前記トレンチ1、2が形成されている半導体基板40の全面に高温酸化物を塗布することによりスペーサ柱層（以後の工程によりスペーサ柱62となる）を形成する段階と、前記スペーサ柱層を異方性食刻することにより前記トレンチ1、2の側壁にスペーサ柱62を形成する段階とよりなる。

【0028】この際、スペーサ柱62を形成するための異方性食刻工程により第4物質層50は取り除かれる。図20では第3物質層48（図19参照）が取り除かれ、図21のように前記図40の結果物の全面に絶縁物質層54を形成する。この際、前記絶縁物質層54はCVD方式で塗布された酸化物で形成される。

【0029】図22は広い素子分離膜66及び狭い素子分離膜68を形成する工程を示すものであり、前記第2物質層44の表面が露出されるまで前記絶縁物質層54（図21参照）をCMPすることにより、広い素子分離領域Aには広い素子分離膜66を形成し、狭い素子分離領域Bには狭い素子分離膜68を形成する。この際、前記広い素子分離膜66及び狭い素子分離膜68の表面は平坦であり、トレンチ側壁に形成されたスペーサ柱62（図21参照）を含む形態で形成される。

【0030】図23は図22の第2物質層44及びパッド酸化膜42を取り除いた後の断面図である。

【0031】

【発明の効果】したがって、本発明による素子分離膜及びその形成方法によると、CMP工程のマージンは増

え、デッシング現象は発生しない素子分離膜が得られる。本発明は前記の実施例に限らず、多くの変形が本発明の技術的思想内において当分野の通常の知識を持つ者により可能なのは明白である。

【図面の簡単な説明】

【図1】従来の素子分離膜の形成方法を説明するための断面図である。

【図2】従来の素子分離膜の形成方法を説明するための断面図である。

【図3】従来の素子分離膜の形成方法を説明するための断面図である。

【図4】本発明による素子分離膜を示す断面図である。

【図5】本発明の第1実施例による素子分離膜の形成方法を説明するための断面図である。

【図6】本発明の第1実施例による素子分離膜の形成方法を説明するための断面図である。

【図7】本発明の第1実施例による素子分離膜の形成方法を説明するための断面図である。

【図8】本発明の第1実施例による素子分離膜の形成方法を説明するための断面図である。

【図9】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図10】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図11】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図12】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図13】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図14】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図15】本発明の第2実施例による素子分離膜の形成方法を説明するための断面図である。

【図16】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図17】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図18】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図19】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図20】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図21】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【図22】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

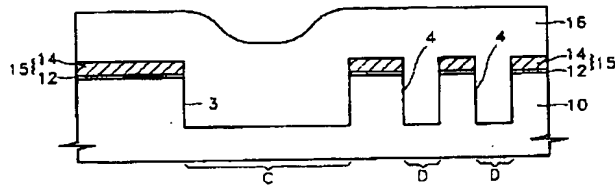
【図23】本発明の第3実施例による素子分離膜の形成方法を説明するための断面図である。

【符号の説明】

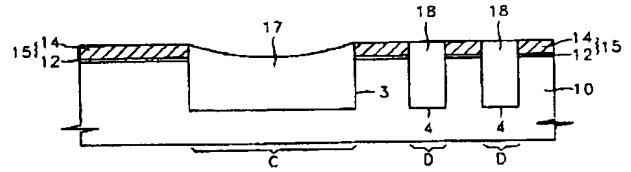
1 広いトレンチ
2 狭いトレンチ
20 半導体基板

30 酸化レーザー
32 広い素子分離膜
33 狭い素子分離膜

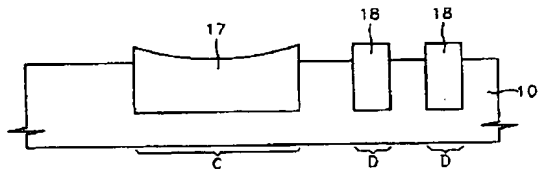
【図1】



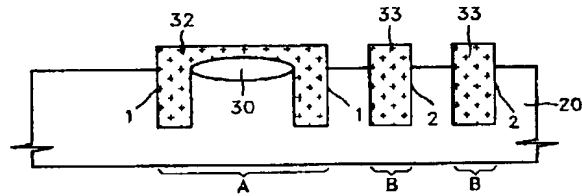
【図2】



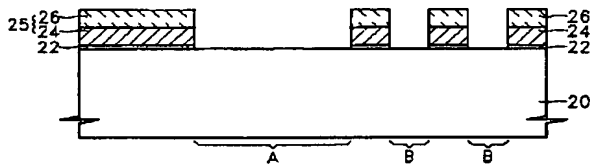
【図3】



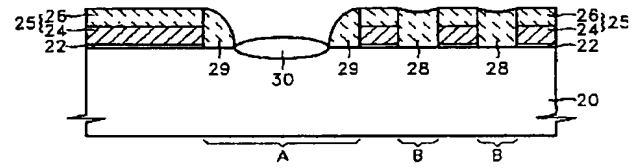
【図4】



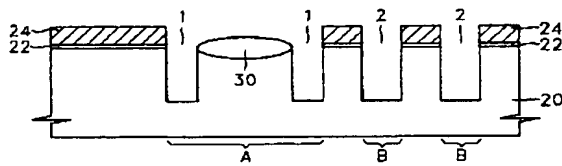
【図5】



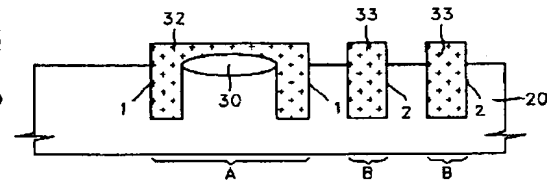
【図6】



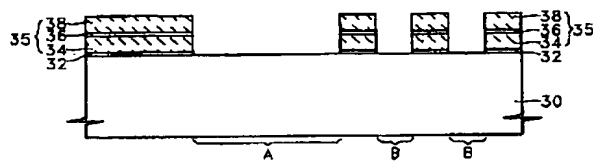
【図7】



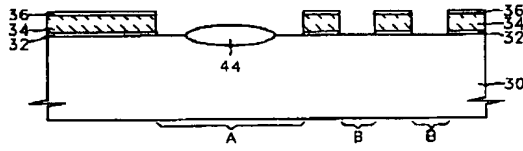
【図8】



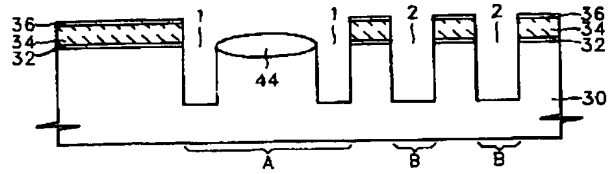
【図9】



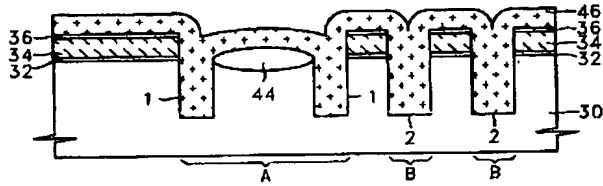
【図11】



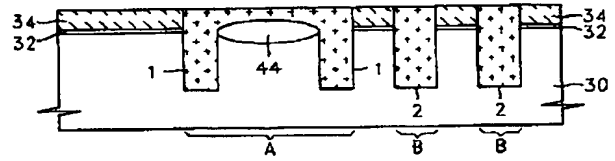
【図12】



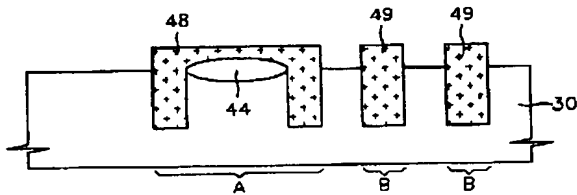
【図13】



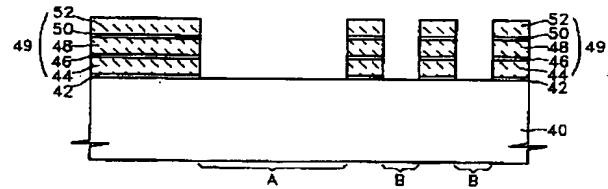
【図14】



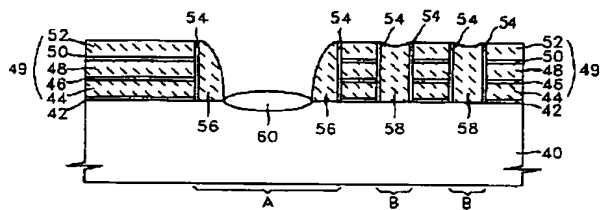
【図15】



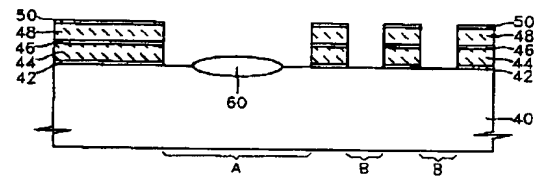
【図16】



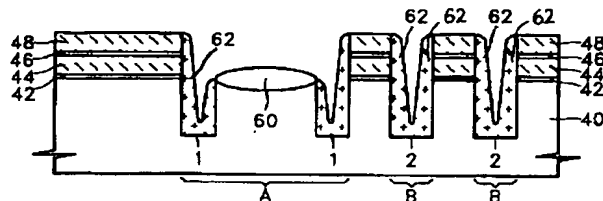
【図17】



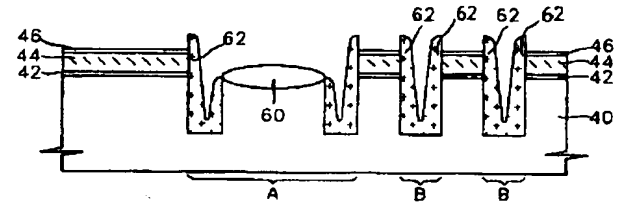
【図18】



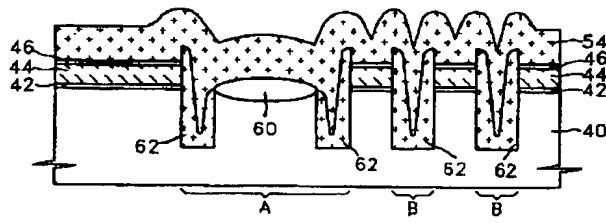
【図19】



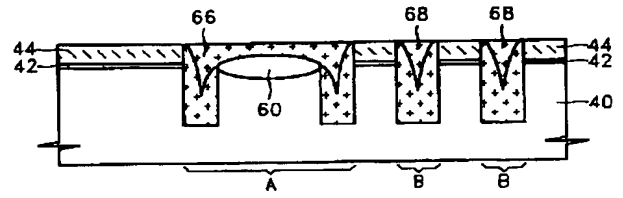
【図20】



【図21】



【図22】



【図23】

